

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kwang Seop PARK et al.

GAU: TBA

SERIAL NO: 09/689,599

EXAMINER: TBA

FILED: October 13, 2000

APR 20 2001

FOR: LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF FABRICATING THE SAME



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	1999-44791	October 15, 1999

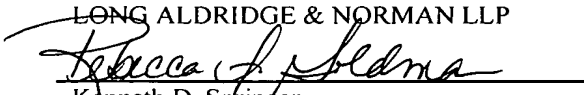
Certified copies of the corresponding Convention Application(s)

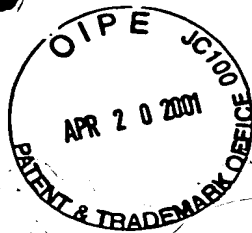
- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: April 20, 2001Sixth Floor
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298
75781.1

LONG ALDRIDGE & NORMAN LLP


Kenneth D. Springer
Registration No. 39,843Rebecca A. Goldman
Registration No. 41,786



대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 44791 호
Application Number

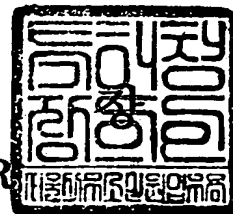
출원년월일 : 1999년 10월 15일
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)

2000 년 10 월 12 일

특 허 청

COMMISSIONER



【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【참조번호】	0002	
【제출일자】	1999. 10. 15	
【발명의 명칭】	액정표시소자 및 그 제조방법	
【발명의 영문명칭】	Liquid Crystal Display Device And Method Of Fabricatin The Same	
【출원인】		
【명칭】	엘지 .필립스 엘시디 주식회사	
【출원인코드】	1-1998-101865-5	
【대리인】		
【성명】	김영호	
【대리인코드】	9-1998-000083-1	
【포괄위임등록번호】	1999-001050-4	
【발명자】		
【성명의 국문표기】	박광섭	
【성명의 영문표기】	PARK ,Kwang Seop	
【주민등록번호】	720126-1231418	
【우편번호】	730-350	
【주소】	경상북도 구미시 임수동 401-3번지 엘지엘시디 동락원 기 숙사 비동 7 12	
【국적】	KR	
【심사청구】	청구	
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 김영호 (인)	
【수수료】		
【기본출원료】	20 면	29,000 원
【가산출원료】	8 면	8,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	19 항	717,000 원
【합계】	754,000	원

【요약서】**【요약】**

본 발명은 화소전극과 신호배선을 중첩하는 고개구율 액정표시소자에 있어서 액정 화소셀의 데이터 충전시간을 빠르게 하도록 한 액정표시소자 및 그 제조방법에 관한 것이다.

본 발명은 게이트라인 및 데이터라인 상의 신호지연이 최소화되게끔 유기 절연막의 두께와 유전상수를 설정하게 된다.

본 발명에 의하면, 화소전극과 신호배선을 중첩하는 고개구율 액정표시소자에 있어서 신호지연을 줄임으로써 액정 화소셀의 데이터 충전시간을 빠르게 한다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

액정표시소자 및 그 제조방법{Liquid Crystal Display Device And Method Of Fabricating The Same}

【도면의 간단한 설명】

도 1은 화소전극이 신호배선과 중첩되지 않은 종래의 액정표시소자를 나타내는 평면도.

도 2는 도 1에서 선 'A-A'를 따라 절취하여 나타내는 박막트랜지스터의 단면도.

도 3은 유기 절연막이 보호막으로 이용되는 종래의 액정표시소자의 박막트랜지스터를 나타내는 단면도.

도 4는 본 발명의 실시예에 따른 액정표시소자의 평면도.

도 5는 도 4에서 선 'B-B'를 따라 절취하여 나타내는 박막트랜지스터의 단면도.

도 6은 도 4에서 선 'C-C'를 따라 절취하여 나타내는 화소전극과 데이터라인 사이의 중첩부를 나타내는 단면도.

도 7은 도 4에서 선 'D-D'를 따라 절취하여 나타내는 화소전극과 게이트라인 사이의 중첩부를 나타내는 단면도.

도 8은 게이트펄스가 인가될 때 액정화소셀의 비디오 데이터 충전을 나타내는 파형도.

도 9는 도 4에 도시된 유기 보호막이 적용된 XGA급 해상도를 가지는 액정패널과 그 구동부를 나타내는 평면도.

도 10은 도 4에 도시된 유기 보호막의 두께 및 유전상수에 따른 액정화소셀의 데이터 충전시간을 나타내는 특성도.

< 도면의 주요 부분에 대한 부호의 설명 >

2 : 투명기판	4,34 : 게이트전극
6,36 : 게이트절연막	8,38 : 반도체층
10,40 : 오믹접촉층	12,32,42 : 콘택홀
14,44 : 드레인전극	16,46 : 소오스전극
18 : 무기 보호막	20,50 : 화소전극
22,52 : 데이터라인	24,54 : 게이트라인
28,48 : 유기 보호막	30,60 : 박막트랜지스터
56a,56b : 중첩라인	70 : 액정패널
72 : 데이터 구동부	74 : 게이트 구동부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 액정표시소자 및 그 제조방법에 관한 것으로, 특히 화소전극과 신호배선

을 중첩하는 고개구울 액정표시소자에 있어서 액정 화소셀의 데이터 충전시간을 빠르게 하도록 한 액정표시소자 및 그 제조방법에 관한 것이다.

<22> 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor : 이하 'TFT'라 함)를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하여 휴대용 텔레비전(Television)이나 랩탑(Lap-Top)형 퍼스널 컴퓨터(Personal Computer) 등의 모니터로서 상품화되고 있다.

<23> 액티브 매트릭스 타입의 액정표시장치는 화소들이 게이트라인들과 데이터라인들의 교차부들 각각에 배열되어진 화소매트릭스(Picture Element Matrix 또는 Pixel Matrix)에 텔레비전 신호와 같은 비디오신호에 해당하는 화상을 표시하게 된다. 화소들 각각은 데이터라인으로부터의 데이터신호의 전압레벨에 따라 투과 광량을 조절하는 액정셀을 포함한다. TFT는 게이트라인과 데이터라인들의 교차부에 설치되어 게이트라인으로부터의 스캔신호(게이트펄스)에 응답하여 액정셀쪽으로 전송될 데이터신호를 절환하게 된다.

<24> 일반적으로, 액정표시소자는 도 1과 같이 데이터라인(22)과 게이트라인(24)의 교차부에 TFT(30)가 형성되며, 데이터라인(22)과 게이트라인(24) 사이의 화소영역에 화소전극들(20)이 매트릭스 형태로 배치된다. TFT(30)는 도 2와 같이 투명기판(2) 상에 형성된다. 이 TFT(30)는 게이트라인(24)에 접속된 게이트전극(4), 데이터라인(22)에 접속된 드레인전극(14) 및 화소전극(20)에 접속된 소오스전극(16)을 포함한다. 게이트전극(4)이 패터닝된 투명기판(2) 상에는 SiNx 등의 무기 유전체로 된 게이트절연막(6)이 전면 증착된다. 이 게이트절연막(6) 위에는 비정질 실리콘(amorphous-Si : 이하 'a-Si'이라 함)으로 된 반도체층(8)과 n+ 이온이 도핑된 a-Si으로 된 오믹접촉층(10)이 게이트전극

(4) 상의 게이트절연막(6)을 덮게끔 순차적으로 형성된다. 오믹접촉층(10) 위에는 금속으로 된 드레인전극(14)과 소오스전극(16)이 형성된다. 드레인전극(14)과 소오스전극(16)은 미리 설정된 채널폭만큼 이격되게 패터닝된다. 이어서, 드레인전극(14)과 소오스전극(16) 사이에 형성된 채널을 따라 오믹접촉층(10)이 에칭되어 반도체층(8)을 노출시키게 된다. 그리고 SiNx , SiOx 등으로 된 보호막(18)이 투명기판(2) 상에 전면 증착되어 TFT를 덮게 된다. 소오스전극(16) 상의 보호막(18)은 콘택홀(12)이 형성되게끔 에칭에 의해 제거된다. 이 콘택홀(12)을 통하여 소오스전극(16)에 접속되게끔 인듐틴옥사이드(Indium Tin Oxide)로 된 화소전극(20)이 증착된다.

<25> 도 1과 같은 액정표시소자는 화소전극(20)이 데이터라인(22) 또는 게이트라인(24)으로부터 대략 $5\sim 10\mu\text{m}$ 정도의 간격을 두게끔 패터닝된다. 또한, 도시하지 않은 블랙 매트릭스는 화소전극(20)과 $5\sim 10\mu\text{m}$ 정도 중첩된다. 이에 따라, 도 1과 같은 액정표시소자는 대략 50% 정도의 개구율을 가지게 된다. 그 결과, 도 1과 같은 액정표시소자는 화상의 밝기가 낮고 백라이트의 소비전력이 클 수 밖에 없다.

<26> 액정표시소자의 개구율을 높이기 위하여, '미국특허 5,055,899'호에는 화소전극을 게이트라인 또는 데이터라인에 중첩되도록 하는 방안이 개시된 바 있다. '미국특허 5,055,899'호에 개시된 액정표시소자는 도 3과 같이 보호막(28)으로서 유기절연막을 이용하게 된다. 이 유기 보호막(28)은 $2000\sim 8000\text{\AA}$ ($0.2\sim 0.8\mu\text{m}$)의 두께로 스피ن코팅에 의해 표면이 평탄하게 도포된다. 그러나 이 유기 보호막(28)은 그 두께가 얇기 때문에 화소전극(20)과 데이터라인(22) 또는 화소전극(20)과 게이트라인(24)의 중첩영역에 높은 기생 캐패시턴스를 발생하는 문제점이 있다. 이를 수학적 1을 결부하여 상세히 설명하기로 한다.

<27> 【수학식 1】

$$C = \frac{(\epsilon \epsilon_0 A)}{d}$$

<28> 여기서, ' ϵ '은 유기 보호막(28)의 유전상수이며, ' ϵ_0 '는 $8.85 \times 10^{-14} \text{F/cm}$ 이다. 'A'는 화소전극(20)과 데이터라인(22) 또는 화소전극(20)과 게이트라인(24)의 중첩영역이며, 'd'는 유기 보호막(28)의 두께이다. 유기 보호막(28)의 두께는 절술한 바와 같이 $0.2 \sim 0.8 \mu\text{m}$ 정도로 매우 낮기 때문에 화소전극(20)의 중첩영역에 의해 발생하는 기생 캐패시턴스는 그 만큼 크게 된다. 이와 같이 화소전극(20)의 중첩영역에 의한 기생 캐패시턴스 값이 크게 되면 게이트라인(24) 또는 데이터라인(24) 상의 캐패시턴스 값이 증대된다. 이렇게 큰 값을 가지는 기생 캐패시턴스값은 게이트라인(24) 또는 데이터라인(22)으로 공급되는 신호의 지연값을 크게 하기 때문에 액정화소셀이 제한된 충전시간 내에 비디오신호를 충분히 충전하지 못하게 된다. 그 결과, 원하는 색신호가 표현되지 못하는 등 화상이 왜곡된다.

<29> 한편, 도 1과 같은 액정표시소자의 보호막(18)은 유전상수(ϵ)가 대략 6.7 정도인 SiN_x , 유전상수(ϵ)가 대략 3.9인 SiO_2 등의 무기물질이므로 보호막(18)을 사이에 두고 화소전극(20)이 데이터라인(22) 또는 게이트라인(24)과 중첩되면 매우 큰 기생용량값이 발생하게 된다. 그 결과, 무기물질을 보호막(18)으로 이용하는 액정표시소자는 화소전극(20)이 데이터라인(22) 또는 게이트라인(24)과 중첩될 수 없다.

<30> 중첩영역에 의한 기생 캐패시턴스의 값을 제한하기 위하여, '미국특허 5,920,084 호'에는 적절한 유기 보호막의 두께와 유전상수를 제시하고 있다. 이 방안에 의하면, 유기 보호막(28)의 두께는 $1.5 \mu\text{m}$ 이상(바람직하게는 $2 \sim 3 \mu\text{m}$)으로 설정한다. 그리고 유

기 보호막(28)의 유전상수는 3.0 이하로 설정하고 있다. 이와 같이 유기 보호막(28)의 두께를 두껍게 하고 그 유전상수를 낮게 설정하게 되면 수학식 1에서와 같이 중첩영역에 의한 기생 캐패시턴스는 작아지게 된다. 그러나 유기 보호막(28)의 두께가 두껍게 되면 스피코팅시 회전속도(RPM)가 낮아지게 되므로 유기절연막의 코팅 불균일이 크게 되고 평탄도가 나빠지게 된다. 이에 따라, 유기 보호막(28)의 두께 재현성이 악화됨은 물론 드라이 에칭시 화소전극(20)과 소오스전극(16)을 접촉시키기 위한 콘택홀(32) 내에 유기 보호막(28)의 잔막이 남거나 오버에칭에 의해 소오스전극(16)이 손상되거나 단선될 수 있다. 그 결과, 화소전극(20)과 소오스전극(16) 사이에 접촉저항이 증가하거나 단선불량이 발생된다. 또한, 유기 보호막(28)의 두께가 두껍게 되면 드라이 에칭시 유기 보호막(28)을 보호하기 위하여 유기 보호막(28) 상에 마스크되는 포토레지스트(Photoresist)가 그 만큼 두꺼워지고 포토레지스트의 두께 불균일이 심하게 된다. 예를 들어, 벤조사이클로부텐(Benzocyclobutene : 이하 'BCB'라 함)으로 된 유기 보호막(28)의 두께가 $1.5\mu\text{m}$ 이고 게이트절연막(6)의 두께가 $0.4\mu\text{m}$ 인 경우, 포토레지스트의 두께는 대략 $2.4\mu\text{m}$ 정도가 된다. 이와 같이 포토레지스트의 두께가 $2.5\mu\text{m}$ 이내이면 포토레지스트의 두께 균일성이 확보될 수 있지만 포토레지스트의 두께가 $2.5\mu\text{m}$ 이상이 되면 포토레지스트의 두께를 균일하게 형성하기가 곤란하다. 또한 포토레지스트의 두께가 두꺼워지게 되면 드라이 에칭시 에칭시간, 노광 및 현상에 소요되는 시간이 그 만큼 증가되므로 생산성이 떨어지게 된다.

【발명이 이루고자 하는 기술적 과제】

<31> 따라서, 본 발명의 목적은 화소전극과 신호배선을 중첩하는 고개구율 액정표시소자

에 있어서 액정 화소셀의 데이터 충전시간을 빠르게 하도록 한 액정표시소자 및 그 제조 방법을 제공하는데 있다.

<32> 본 발명의 다른 목적은 화소전극과 신호배선을 중첩하는 고개구율 액정표시소자에 있어서 유기 보호막을 사이에 두고 설치된 박막트랜지스터의 소오스전극과 화소전극 사이의 단선불량 및 접촉불량을 최소화하도록 한 액정표시소자 및 그 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<33> 상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시소자는 게이트라인 및 데이터라인 상의 신호지연이 최소화되게끔 유기 절연막의 두께와 유전상수를 설정하게 된다.

<34> 본 발명에 따른 액정표시소자는 박막트랜지스터의 소오스전극과 화소전극 사이의 단선불량 및 접촉불량을 방지하도록 유기 절연막의 두께를 설정하게 된다.

<35> 본 발명에 따른 액정표시소자는 박막트랜지스터의 소오스전극과 화소전극 사이의 단선불량 및 접촉불량을 방지함과 아울러 게이트라인 및 데이터라인 상의 신호지연이 최소화되도록 유기 절연막의 두께를 $0.8 \sim 1.5 \mu\text{m}$ 내의 범위 내로 설정하게 된다.

<36> 본 발명에 따른 액정표시소자의 제조방법은 박막트랜지스터, 게이트라인 및 데이터라인을 투명기판 상에 형성하는 단계와, 박막트랜지스터의 소오스전극과 화소전극 사이의 단선불량 및 접촉불량을 방지함과 아울러 게이트라인 및 데이터라인 상의 신호지연이 최소화되도록 유기 절연막을 $0.8 \sim 1.5 \mu\text{m}$ 의 두께로 투명기판 상에 형성하는 단계와, 게

이트라인 및 데이터라인 중 적어도 하나에 소정 면적만큼 중첩 되게 화소전극을 유기 절연막 상에 형성하는 단계를 포함한다.

<37> 상기 목적들 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<38> 이하, 도 4 내지 도 10을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<39> 도 4를 참조하면, 데이터라인(52)과 게이트라인(54)의 교차부에 TFT(60)가 형성되며, 데이터라인(52)과 게이트라인(54)에 중첩되는 화소전극들(50)이 매트릭스 형태로 배치되는 본 발명에 따른 액정표시소자가 도시되어 있다. 데이터라인(52)은 각 액정화소셀들에 비디오신호를 공급하게 된다. 게이트라인(54)은 비디오신호에 동기되는 게이트펄스를 TFT(60)의 게이트전극(34)에 공급하게 된다. 액정화소셀들 각각은 화소전극(50)과 도시하지 않은 공통전극 사이에 주입된 액정층을 포함한다. 액정층은 화소전극(50)과 공통전극 사이의 전계에 의해 구동되어 투명기관을 경유하여 입사되는 입사광의 투과광량을 조절하게 된다. 따라서, 액정화소셀들은 게이트펄스가 하이레벨을 유지하는 기간 동안 비디오신호를 충전함으로써 화상을 표시하게 된다. 화소전극(50)의 가장자리는 신호배선 즉, 데이터라인(52) 및 게이트라인(54)의 측면과 중첩된다. 이에 따라, 액정화소셀의 개구율은 종래 화소전극과 신호배선이 중첩되는 않는 액정표시소자의 그것에 비하여 종래 화소전극과 신호배선 사이의 간격만큼 증대된다. 화소전극(50)과 신호배선(52,54)의 중첩부에 존재하는 중첩라인(56a,56b)에서는 금속으로된 신호배선(52,54)에 의해 도시하지 않은 백라이트로부터 입사된 광이 차단된다. 이 중첩라인(56a,56b)에 의해 데이터라인(52) 및 게이트라인(54)에 기생 캐패시턴스가 발생한다. 본 발명에서는

중첩라인에 의한 신호지연이 최소화되도록 하여 액정화소셀이 게이트펄스의 대략 1/2 기간 내에 비디오신호의 95% 이상을 충전할 수 있도록 유기절연막으로 된 유기 보호막의 두께와 유전상수를 제한하게 된다. 또한, 유기 보호막은 패널 전체에 균일하게 도포되고 에칭이 균일하게 이루어져야 한다. 이를 TFT의 구조와 중첩라인(56a,56b)을 보다 상세히 나타내는 도 5 내지 도 7을 결부하여 상세히 설명하기로 한다.

<40> 도 5 내지 도 7을 참조하면, TFT(60)는 게이트라인(54)에 접속된 게이트전극(34), 데이터라인(52)에 접속된 드레인전극(44) 및 화소전극(50)에 접속된 소오스전극(46)을 포함한다. 게이트전극(34)과 게이트라인(54)을 형성하기 위하여, 금속층이 2500Å 정도의 두께로 스퍼터링이나 진공증착에 의해 기판(2) 상에 증착된다. 그리고 금속층은 포토 마스크가 형성된 후, 반응 이온 에칭에 의해 패터닝된다. 이렇게 게이트전극(34)과 게이트라인(54)이 투명기판(2) 상에 형성된 후, 투명기판(2) 상에는 SiNx 등의 유전체로 된 게이트절연막(36)이 플라즈마 인핸스드 화학적 기상증착에 의해 증착되어 게이트전극(34)과 게이트라인(54)을 덮게 된다. 이 게이트절연막(36)은 2000~3000Å 정도의 두께를 가지게 된다. 이 게이트절연막(36) 위에는 a-Si으로 된 반도체층(38)이 2000Å 정도의 두께로 증착되고, 그 위에 a-Si에 n⁺ 이온이 도핑된 오믹접촉층(40)이 500Å 정도의 두께로 증착된다. 이들 반도체층(38)과 오믹접촉층(40)은 게이트전극(34) 상의 게이트절연막(36)을 덮게 된다. 오믹접촉층(40) 위에는 금속으로 된 드레인전극(44)과 소오스전극(46)이 500~2000Å 정도의 두께로 증착된다. 드레인전극(44)과 소오스전극(46)은 미리 설정된 채널폭만큼 이격되게 패터닝된다. 이어서, 드레인전극(44)과 소오스전극(46) 사이에 형성된 채널을 따라 오믹접촉층(40)이 에칭되어 반도체층(38)을 노출시키게 된다. 이렇게 TFT(60), 데이터라인(52) 및 게이트라인(54)이 형성된 투명기판(2) 위에

는 유전상수가 3.0 이하인 유기 절연막 예를 들면, 유전상수가 2.7인 BCB로 된 유기 보호막(48)이 $0.8 \sim 1.5 \mu\text{m}$ 정도의 두께로 스펀코팅된다. 이 때, 데이터라인(52) 및 게이트라인(54) 상의 유기 보호막(48) 즉, 중첩라인(56a, 56b) 내의 유기 보호막(48)의 두께는 대략 $1.25 \sim 1.27 \mu\text{m}$ 정도가 된다. 이 유기 보호막(48)은 스펀코팅에 의해 표면이 평탄하게 투명기판(2) 전체를 덮게 된다. 유기 보호막(48)이 질소 분위기에서 경화(Curing)된 후, 각 소오스전극(46)을 덮고 있는 유기 보호막(48)의 일부가 에칭된다. 이 소오스전극(46)이 노출된 부분은 소오스전극(46)과 화소전극(50)을 접속시키기 위한 콘택홀(42)이 된다. 콘택홀(42)이 형성된 유기 보호막(48) 위에는 인듐틴옥사이드(Indium-tin-oxide : ITO)로 된 화소전극(50)이 $1200 \sim 3000 \text{ \AA}$ 정도의 두께로 전면 증착된다. 이 화소전극(50)은 콘택홀(42) 내에도 증착되어 소오스전극(46)과 접속된다. 마지막으로, 유기 보호막(48) 상에 증착된 화소전극(50)은 도 6 및 도 7과 같이 데이터라인(52)과 게이트라인(54)의 측면들에 자신의 가장자리가 중첩되게끔 포토 마스크링 된 후, 에칭에 의해 패터닝된다.

<41> 화소전극(50)이 데이터라인(52) 및 게이트라인(54)과 중첩되는 중첩라인(56a, 56b)의 폭(W)은 도 6 및 도 7과 같이 신호배선(52, 54)과 화소전극(50) 간에 빛이 새지 않도록 적어도 $1.5 \mu\text{m}$ 이상으로 설정된다.

<42> 이와 같은 액정표시소자에 있어서, 액정화소셀은 화상이 왜곡되지 않도록 게이트펄스의 대략 1/2 기간 내에 비디오신호의 95% 이상을 충전할 수 있어야 한다. 이를 상세히 하면, 액정화소셀은 도 8과 같이 게이트전극(34)에 인가되는 게이트펄스(GP)의 하이논리기간 즉, 드레인전극(44)과 소오스전극(46) 사이의 채널이 형성되는 기간의 대략 1/2 기간 내에 비디오신호(VD)와 공통전압(Vcom)의 차전압을 95% 이상 충전하여야 한다.

그리고 액정화소셀은 게이트펄스(GP)가 하이논리를 유지하는 나머지 기간동안 비디오 신호(VD)와 공통전압(Vcom)의 나머지 차전압을 충전한 후, 다음 프레임에서 게이트펄스(GP)가 다시 하이레벨로 변할 때까지 충전된 전압을 유지하게 된다. 게이트펄스(GP)가 하이레벨을 유지하는 시간은 XGA급 해상도를 가지는 패널(게이트라인 768×데이터라인 1024×RGB 3)의 경우, 프레임 주파수가 60Hz 내외이므로 $21.7 \mu s$ 이다. 게이트펄스간 타이밍 마진을 고려하면 게이트펄스(GP)가 하이레벨을 유지하는 시간은 대략 $18 \mu s$ 정도로 설정된다. 이에 따라, 액정화소셀은 대략 $10 \mu s$ 이내(바람직하게는 $9 \mu s$ 이내)에 비디오 신호(VD)의 95% 이상을 유지하여야 한다. 이와 같은 액정화소셀의 충전시간은 유기 보호막(48)의 두께(d)와 유전율(ϵ) 값에 의존하는 중첩라인(56a, 56b)의 기생 캐패시턴스 값에 따라 달라지게 된다.

<43> 도 9를 참조하면, 768 개의 게이트라인(54)과 3072 개의 데이터라인(52) 사이에 액정화소셀들(71)이 매트릭스 형태로 배치된 액정패널(70)이 도시되어 있다. 이 액정패널(70)의 게이트라인들(54)은 게이트 구동부(74)에 접속되어 게이트 구동부(74)로부터 게이트펄스(GP)가 공급된다. 그리고 데이터라인들(52)은 데이터 구동부(72)에 접속되어 데이터 구동부(72)로부터 게이트펄스(GP)에 동기되는 한 라인분의 데이터가 동시에 공급된다. 이러한 액정패널(70) 상에서 신호지연이 가장 큰 화소는 데이터 구동부(72)와 게이트 구동부(74)로부터 가장 먼 위치에 있는 화소이다. 이에 따라, 신호지연이 가장 큰 화소는 768 번째 게이트라인(54)과 3072 번째 데이터라인(52) 사이에 위치한다. 이 화소(PIX(768, 3072))의 충전시간이 대략 $10 \mu s$ 내에 비디오신호(VD)의 95% 이상을 충전할 수 있는 조건은 표 1 및 도 10에서 알 수 있는 바와 같이 유기 보호막(48)의 두께(d)가 $0.8 \mu m$ 일 때 2.0 이하의 유전

상수(ϵ)를 가지는 경우와 유기 보호막(48)의 두께(d)가 $1.3\mu\text{m}$ 와 $1.5\mu\text{m}$ 일 때 4.0 이하의 유전상수(ϵ)를 가지는 경우이다. 게이트펄스간 타이밍 마진에 따라 유기 보호막(48)의 두께(d)가 $0.8\mu\text{m}$ 이고 유전상수(ϵ)가 3일 때의 충전시간인 $9.3\mu\text{s}$ 역시 비디오 신호(VD)를 충분히 빠르게 충전할 수 있다. 유기 보호막(48)의 두께는 전술한 바와 같이 유기 보호막(48)의 코팅 균일도와 에칭시의 균일성을 고려하여 최대 $1.5\mu\text{m}$ 로 한정된다.

<44> 【표 1】

$\epsilon \backslash d$	$0.5\mu\text{m}$	$0.7\mu\text{m}$	$0.8\mu\text{m}$	$0.9\mu\text{m}$	$1.1\mu\text{m}$	$1.3\mu\text{m}$	$1.5\mu\text{m}$
2	$10.5\mu\text{s}$	$9.1\mu\text{s}$	$8.8\mu\text{s}$	$8.6\mu\text{s}$	$8.3\mu\text{s}$	$8.1\mu\text{s}$	$7.9\mu\text{s}$
3	$12.2\mu\text{s}$	$10.1\mu\text{s}$	$9.6\mu\text{s}$	$9.3\mu\text{s}$	$8.8\mu\text{s}$	$8.5\mu\text{s}$	$8.3\mu\text{s}$
4	$13.9\mu\text{s}$	$11.1\mu\text{s}$	$10.5\mu\text{s}$	$10.0\mu\text{s}$	$9.4\mu\text{s}$	$9.0\mu\text{s}$	$8.8\mu\text{s}$
5	$15.5\mu\text{s}$	$12.0\mu\text{s}$	$11.3\mu\text{s}$	$10.7\mu\text{s}$	$10.0\mu\text{s}$	$9.5\mu\text{s}$	$9.2\mu\text{s}$

<45> 이 때, 화소전극(50)과 데이터라인(52)이 중첩된 중첩라인(56a)의 기생 캐패시터는 아래의 표 2와 같다.

<46> 【표 2】

$\epsilon \backslash d$	$0.5\mu\text{m}$	$0.7\mu\text{m}$	$0.8\mu\text{m}$	$0.9\mu\text{m}$	$1.1\mu\text{m}$	$1.3\mu\text{m}$	$1.5\mu\text{m}$
2	0.000305pF	0.000201pF	0.000177pF	0.000159pF	0.000135pF	0.000119pF	0.000107pF
3	0.000402pF	0.000272pF	0.000238pF	0.000213pF	0.000179pF	0.000157pF	0.000141pF
4	0.000533pF	0.000341pF	0.000297pF	0.000265pF	0.000223pF	0.000194pF	0.000174pF
5	0.000644pF	0.000409pF	0.000355pF	0.000316pF	0.000264pF	0.000231pF	0.000206pF

<47> 표 2에서 기생 캐패시턴스값은 데이터라인(52) 위에 도포된 유기 보호막(48)의 두께(d)가 $1.25\mu\text{m}$ 이고 화소전극(50)과 데이터라인(52)이 중첩된 중첩라인(56a)의 면적(A)은 $837\mu\text{m}^2$ 일 때 측정된 값이다. 면적(A)은 화소셀(PIX(768,3072))의 세

로변의 길이가 $279\mu\text{m}$ 이고 화소전극(50)과 데이터라인(52)이 중첩된 중첩라인(56a)의 폭이 $3\mu\text{m}$ 인 경우이다. 화소전극(50)과 게이트라인(52)이 중첩된 중첩라인(56b)에서의 기생 캐패시턴스는 유기 보호막(48)의 두께가 화소전극(50)과 데이터라인(54) 사이보다 두껍기 때문에 더 작게 된다.

【발명의 효과】

<48> 상술한 바와 같이, 본 발명에 따른 액정표시소자 및 그 제조방법은 데이터라인, 게이트라인 및 TFT 중 적어도 하나와 화소전극 사이에 유전상수가 3.0 이하이고 두께가 $0.8\sim 1.5\mu\text{m}$ 인 유기 보호막을 TFT와 화소전극 사이에 형성함으로써 화소전극과 신호배선을 중첩하는 고개구율 액정표시소자에 있어서 신호지연을 줄여 액정 화소셀의 데이터 충전시간을 빠르게 한다. 본 발명에 따른 액정표시소자 및 그 제조방법은 화소전극과 신호배선을 중첩하는 고개구율 액정표시소자에 있어서 유기 보호막의 두께를 $1.5\mu\text{m}$ 이하로 도포함으로써 유기 보호막의 코팅 균일성을 충분히 확보할 수 있음은 물론 화소전극과 TFT의 소오스전극을 접속시키기 위한 콘택홀 에칭이 균일하게 하여 트랜지스터와 화소전극 사이의 단선불량 및 접촉불량을 최소화할 수 있게 된다.

<49> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

게이트라인과 데이터라인의 교차부에 설치되는 박막트랜지스터와, 상기 박막트랜지스터의 소오스전극에 접속됨과 아울러 유기 보호막을 사이에 두고 상기 게이트라인과 상기 데이터라인 중 적어도 하나에 중첩되는 화소전극을 구비하는 액정표시소자에 있어서,

상기 게이트라인 및 상기 데이터라인 상의 신호지연이 줄어들게끔 상기 유기 절연막의 두께와 유전상수를 설정하는 것을 특징으로 하는 액정표시소자.

【청구항 2】

제 1 항에 있어서,

상기 유기 절연막의 두께와 유전상수는 상기 박막트랜지스터의 채널을 형성하기 위한 제어신호의 인에이بل 기간의 대략 1/2 기간 내에 상기 화소전극에 의해 구동되는 액정화소셀이 상기 비디오 데이터의 대략 95% 이상을 충전하도록 설정되는 것을 특징으로 하는 액정표시소자.

【청구항 3】

제 1 항에 있어서,

상기 유기 절연막의 두께는 $1.5\mu\text{m}$ 이하인 것을 특징으로 하는 액정표시소자.

【청구항 4】

제 1 항에 있어서,

상기 유기 절연막의 두께는 $0.8 \sim 1.5 \mu\text{m}$ 인 것을 특징으로 하는 액정표시소자.

【청구항 5】

제 1 항에 있어서,

상기 게이트라인 및 상기 데이터라인 중 적어도 하나와 상기 화소전극 사이에 설치된 상기 유기 절연막의 두께는 $1.3 \mu\text{m}$ 이하인 것을 특징으로 하는 액정표시소자.

【청구항 6】

제 1 항에 있어서,

상기 게이트라인 및 상기 데이터라인 중 적어도 하나와 상기 화소전극 사이에 설치된 상기 유기 절연막의 두께는 $1.25 \sim 1.27 \mu\text{m}$ 인 것을 특징으로 하는 액정표시소자.

【청구항 7】

제 1 항에 있어서,

상기 유기 절연막의 유전상수는 3.0 이하인 것을 특징으로 하는 액정표시소자.

【청구항 8】

제 7 항에 있어서,

상기 유기 절연막은 벤조사이클로부텐(Benzocyclobutene)으로 이루어진 것을 특징으로 하는 액정표시소자.

【청구항 9】

제 1 항에 있어서,

상기 게이트라인 및 상기 데이터라인 중 적어도 하나에 상기 화소전극이 중첩되는 중첩영역의 기생 캐패시턴스는 0.0003 pF 이하인 것을 특징으로 하는 액정표시소자.

【청구항 10】

게이트라인과 데이터라인의 교차부에 설치되는 박막트랜지스터와, 상기 박막트랜지스터의 소오스전극에 접속됨과 아울러 유기 절연막을 사이에 두고 상기 게이트라인과 상기 데이터라인 중 적어도 하나에 중첩되는 화소전극을 구비하는 액정표시소자에 있어서,

상기 박막트랜지스터의 소오스전극과 상기 화소전극 사이의 단선불량 및 접촉불량을 방지하도록 상기 유기 절연막의 두께를 설정하는 것을 특징으로 하는 액정표시소자.

【청구항 11】

제 10 항에 있어서,

상기 유기 절연막의 두께는 $1.5\mu\text{m}$ 이하인 것을 특징으로 하는 액정표시소자.

【청구항 12】

게이트라인과 데이터라인의 교차부에 설치되는 박막트랜지스터와, 상기 박막트랜지스터의 소오스전극에 접속됨과 아울러 유기 절연막을 사이에 두고 상기 게이트라인과 상기 데이터라인 중 적어도 하나에 중첩되는 화소전극을 구비하는 액정표시소자에 있어서,

상기 박막트랜지스터의 소오스전극과 상기 화소전극 사이의 단선불량 및 접촉불량을 방지함과 아울러 상기 게이트라인 및 상기 데이터라인 상의 신호지연이 줄어들도록 상기 유기 절연막의 두께를 $0.8\sim 1.5\mu\text{m}$ 내의 범위 내로 설정하는 것을 특징으로 하는 액정표시소자.

【청구항 13】

제 12 항에 있어서,

상기 유기 절연막의 유전상수는 3.0 이하인 것을 특징으로 하는 액정표시소자.

【청구항 14】

게이트라인과 데이터라인의 교차부에 설치되는 박막트랜지스터와, 상기 박막트랜지스터의 소오스전극에 접속됨과 아울러 유기 절연막을 사이에 두고 상기 게이트라인과 상기 데이터라인에 중첩되는 화소전극을 구비하는 액정표시소자의 제조방법에 있어서,

상기 박막트랜지스터, 상기 게이트라인 및 상기 데이터라인을 투명기판 상에 형성하는 단계와,

상기 박막트랜지스터의 소오스전극과 상기 화소전극 사이의 단선불량 및 접촉불량을 방지함과 아울러 상기 게이트라인 및 상기 데이터라인 상의 신호지연이 줄어들도록 상기 유기 절연막을 $0.8\sim 1.5\mu\text{m}$ 의 두께로 상기 투명기판 상에 형성하는 단계와,

상기 게이트라인 및 상기 데이터라인 중 적어도 하나에 소정 면적만큼 중첩 되게 상기 화소전극을 상기 유기 절연막 상에 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 15】

제 14 항에 있어서,

상기 게이트라인 및 상기 데이터라인 중 적어도 하나와 상기 화소전극 사이에 설치된 상기 유기 절연막의 두께는 $1.3\mu\text{m}$ 이하로 설정되는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 16】

제 14 항에 있어서,

상기 유기 절연막의 유전상수는 3.0 이하인 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 17】

제 16 항에 있어서,

상기 유기 절연막은 벤조사이클로부텐(Benzocyclobutene)으로 이루어진 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 18】

제 14 항에 있어서,

상기 게이트라인 및 상기 데이터라인 중 적어도 하나에 상기 화소전극이 중첩되는 중첩영역의 기생 캐패시턴스는 0.0003 pF 이하인 것을 특징으로 하는 액정표시소자의 제조방법.

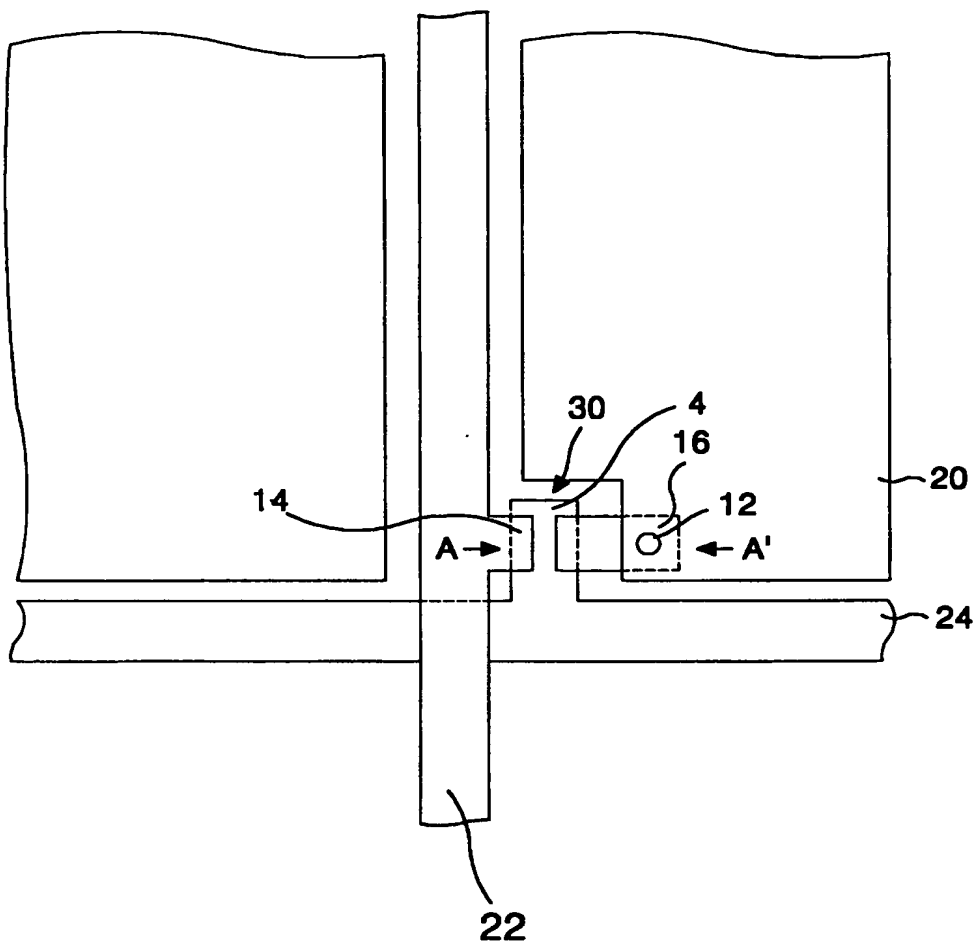
【청구항 19】

제 14 항에 있어서,

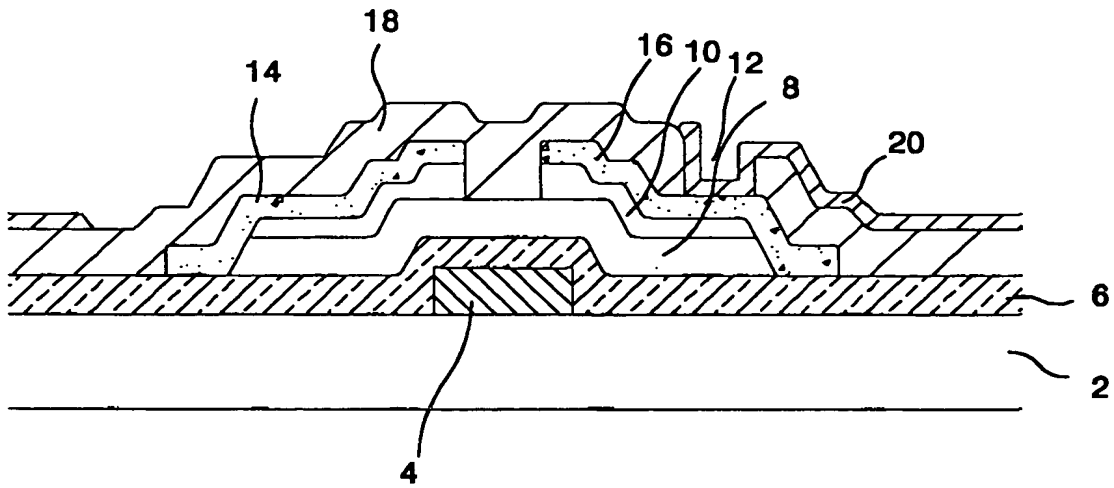
상기 게이트라인 및 상기 데이터라인 중 적어도 하나에 상기 화소전극이 중첩되는 중첩영역의 폭은 적어도 $1.5\mu\text{m}$ 이상인 것을 특징으로 하는 액정표시소자의 제조방법.

【도면】

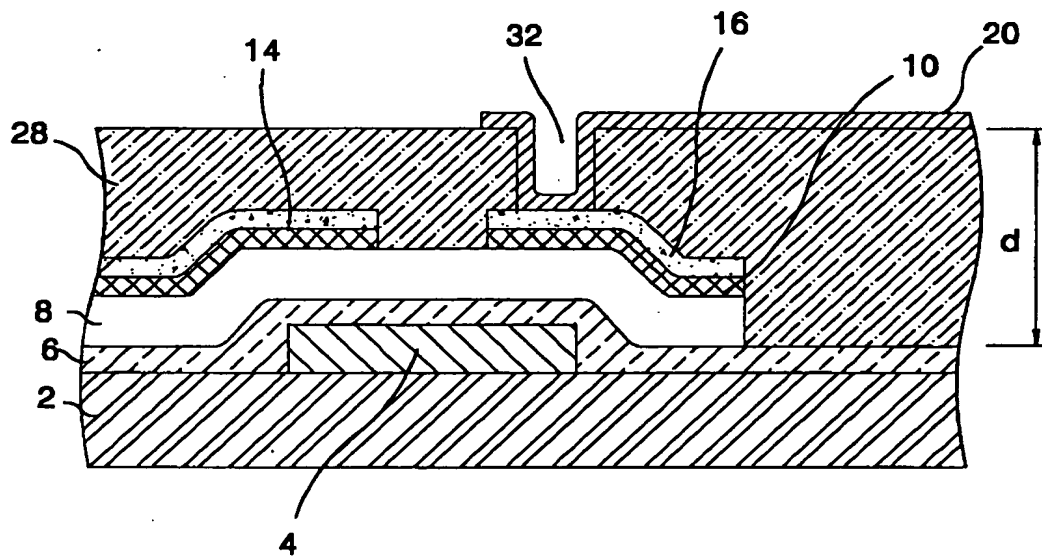
【도 1】



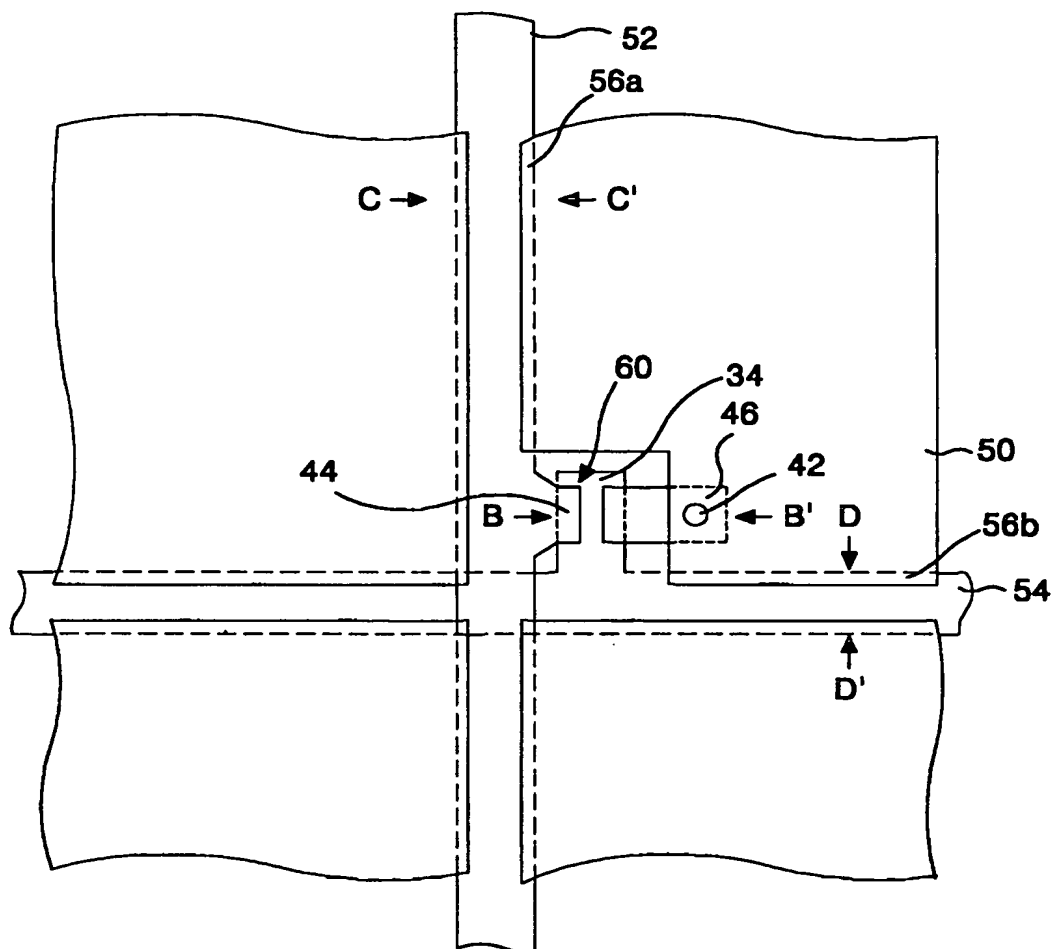
【도 2】



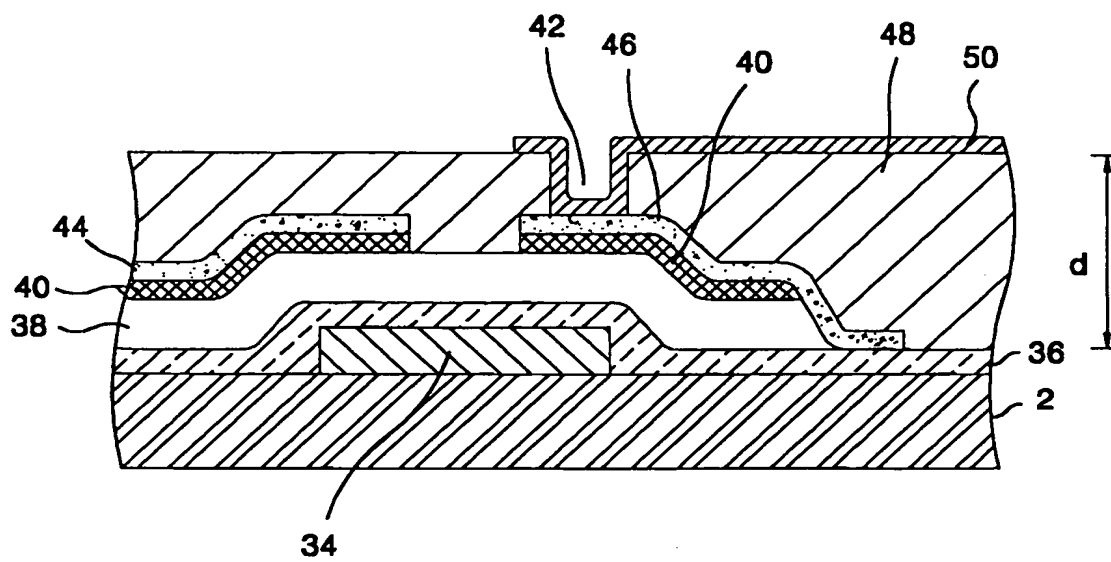
【도 3】



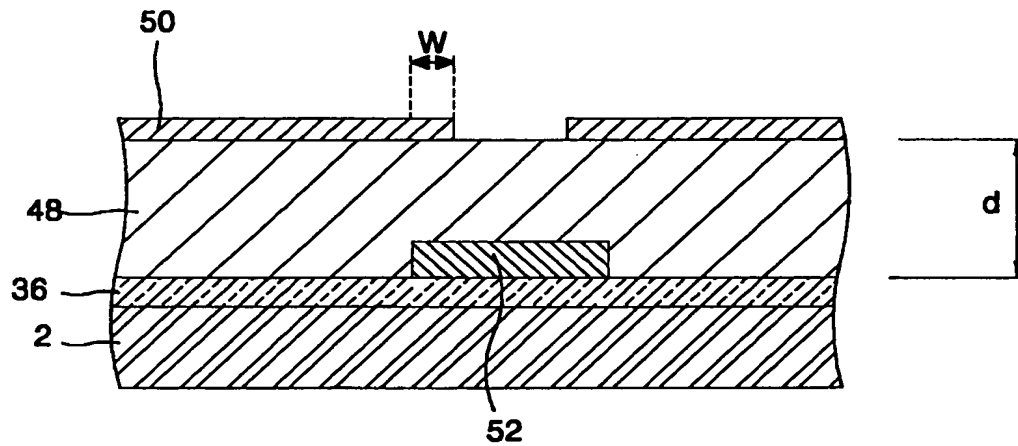
【도 4】



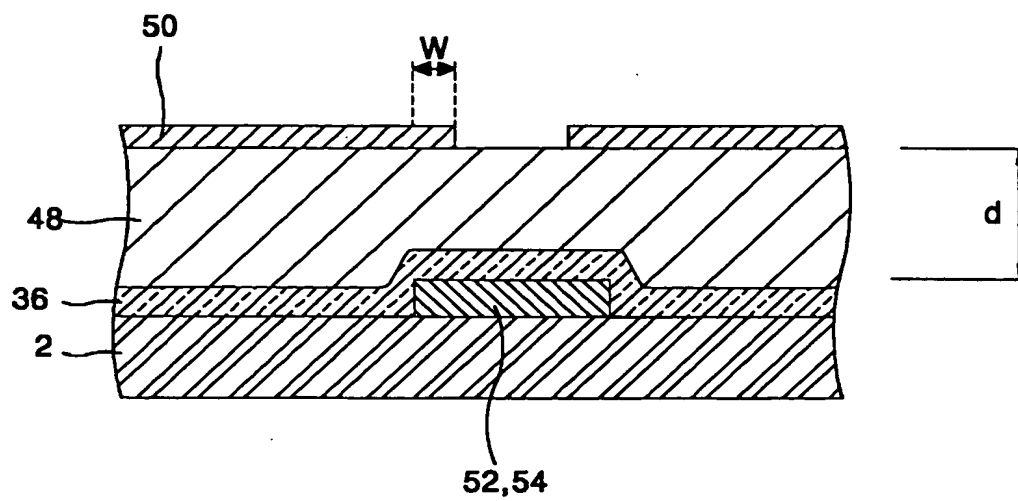
【도 5】



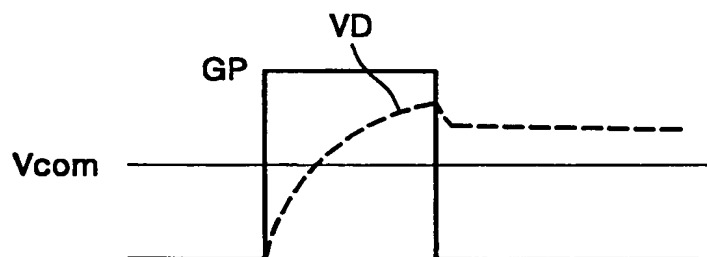
【도 6】



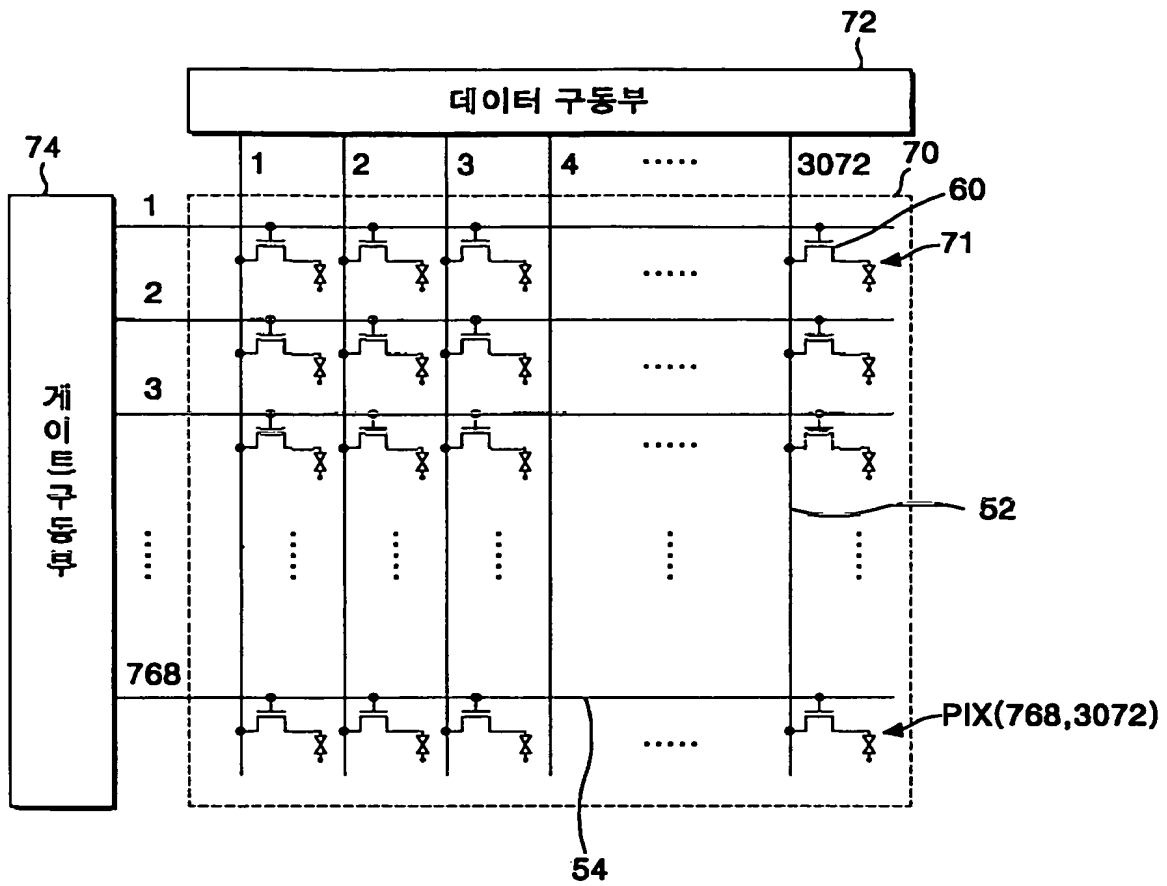
【도 7】



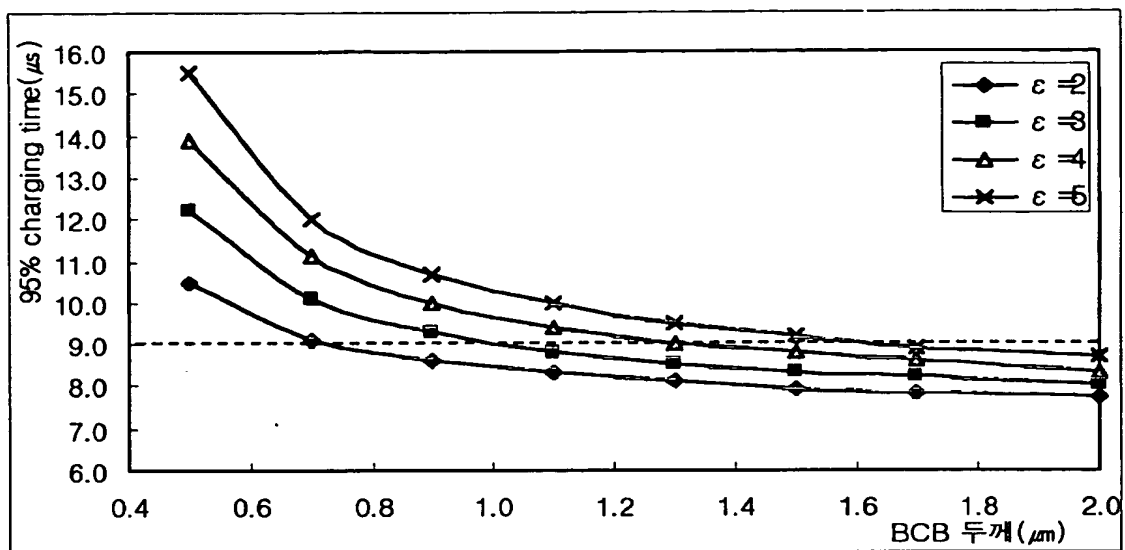
【도 8】



【도 9】



【도 10】



【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	1999. 12. 08
【제출인】	
【명칭】	엘지 . 필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【사건과의 관계】	출원인
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【사건의 표시】	
【출원번호】	10-1999-0044791
【출원일자】	1999. 10. 15
【심사청구일자】	1999. 10. 15
【발명의 명칭】	액정표시소자 및 그 제조방법
【제출원인】	
【접수번호】	1-1-99-0130745-11
【접수일자】	1999. 10. 15
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상 항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	박광섭
【성명의 영문표기】	PARK, Kwang Seop
【주민등록번호】	720126-1231418
【우편번호】	730-350
【주소】	경상북도 구미시 임수동 401-3번지 엘지엘시디 동락원 기숙 사 비동 712
【국적】	KR

【발명자】**【성명의 국문표기】**

곽동영

【성명의 영문표기】

KWAK, Dong Yeung

【주민등록번호】

701201-1695819

【우편번호】

704-340

【주소】

대구광역시 달서구 송현동 그린맨션 103동 1108호

【국적】

KR

【발명자】**【성명의 국문표기】**

정재영

【성명의 영문표기】

CHUNG, Jae Young

【주민등록번호】

750806-2042317

【우편번호】

613-120

【주소】

부산광역시 수영구 수영동 494-4

【국적】

KR

【취지】특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다. 대리인
김영호 (인)**【수수료】****【보정료】**

원

【기타 수수료】

원

【합계】

원